

PATENT ABSTRACTS OF JAPAN

B14

(11)Publication number : 61-226881

(43)Date of publication of application : 08.10.1986

(51)Int.Cl.

G06F 15/64

(21)Application number : 60-065027

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1985

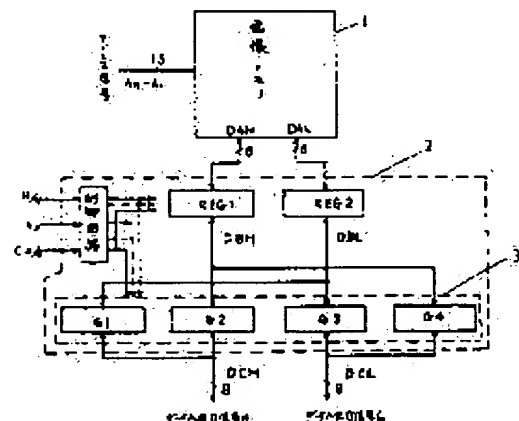
(72)Inventor : OZAKI TAKAYUKI

(54) IMAGE DATA PROCESSOR

(57)Abstract:

PURPOSE: To attain a high speed image processing by inserting an interface circuit inputting and outputting for 1 byte unit between a data input and output terminal of an image memory and a data bus.

CONSTITUTION: Between memory input and output buses DAH, DAL of an image memory of 16-bit width and data buses DCH, DCL, an interface circuit 2 inputting and outputting for 1-byte unit is inserted. Address signals A15WA0 are specified. Then, 16-bit data of a memory is read to registers REG 1, REG 2 of the circuit 2. From the buses DCH, DCL, a write data is inputted. If the write data is a host 8-bit, the data is set to the register REG 1, and if it is a subordinate 8-bit, it is set to the REG 2. The prepared data is written in the memory 1. When the bit width is 32, 64-bit or the like, this device can be also used. Thereby, an input and output speed is improved and the program is simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-226881

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月8日

G 06 F 15/64

6615-5B

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 画像データ処理装置

⑯ 特 願 昭60-65027

⑰ 出 願 昭60(1985)3月30日

⑱ 発 明 者 尾 崎 孝 幸 姫路市余部区上余部50 株式会社東芝姫路工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1. 発明の名称

画像データ処理装置

2. 特許請求の範囲

- 1 n を自然数とする 2^{n+2} ビット幅の計数機により制御されこれとデータの授受を行う 2^{n+2} ビット幅の画像メモリと、メモリのリードライト信号、メモリのアドレス信号の最下位の n ビットの信号及びデータビット長を指定する信号とからなる制御信号により前記画像メモリの入出力データを選択的に 1 バイト単位で入出力するインターフェイス回路とを有し且つ該インターフェイス回路が前記画像メモリのデータ入出力端子とデータバスとの間に挿入されたことを特徴とする画像データ処理装置。
- 2 画像メモリが 2^{n+2} ビット幅であり、インターフェイス回路が 2 個以上のゲートを有するマルチプレクサと 2 個以上の双方向より読み出し書き込みが可能なレジスタと制御回路

とからなる特許請求の範囲第 1 項記載の画像データ処理装置。

- 3 画像メモリが 16 ビット幅であり、インターフェイス回路のマルチプレクサが 4 個のゲートを有しレジスタが 2 個である特許請求の範囲第 2 項記載の画像データ処理装置。
- 4 画像メモリが 8 ビット単位で書き込みできる 2^{n+2} ビット幅の画像メモリであり、一方インターフェイス回路が 2 個以上のゲートを有するマルチプレクサでレジスタを持たないインターフェイス回路である特許請求の範囲第 1 項記載の画像データ処理装置。
- 5 画像メモリが 8 ビット単位で書き込みできる 16 ビット幅の画像メモリであり、インターフェイス回路が 4 個のゲートを有するマルチプレクサからなる特許請求の範囲第 4 項記載の画像データ処理装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、パターン認識、医用診断、資源探索

等デジタル画像データ処理を必要とする装置に関するもので、画像メモリへのデータの入出力の制御に係るものである。

【発明の技術的背景】

画像情報をデジタルで表現し、計算機又は専用の処理装置で処理する手法はパターン認識、医用診断等の種々の分野で使用されている。デジタル画像は1画面を複数の画素に分割し、1画素の情報をデジタルで表現する。濃淡画像の場合は1画素を複数ビット、通常8ビットで表現する。画像データは膨大であって大容量のメモリが必要となると共にデータ処理時間も長くなる。画像データは8ビット単位で処理するのが一般的で、バイト単位のデータを画像メモリに入出力する回数は非常に多くなり、又同じデータを何回も入出力する必要がある。画像データ処理時間は画像メモリの入出力スピードに主として左右されるのが現状である。従来の16ビット幅の計算機の例では、8ビット(バイト)単位の画像データは16ビット幅の画像メモリ(以下メモリと

呼ぶこともある)に第7図に示す番地振り分けになって格納される。即ち画像データはメモリの1アドレスに2バイトで、バイト単位にアドレス番号がつけられている。第8図のメモリのブロック図においてアドレス信号 $A_0 \sim A_1$ がメモリの番地指定であるが A_1 はメモリ回路には直接入力されないで上位の8ビット($A_0 = 0$ のとき)であるか下位の8ビット($A_0 = 1$ のとき)であるかを識別するのに利用される。データ信号 $D_0 \sim D_7$ がメモリ素子の入出力信号となる。

このメモリからソフト(プログラム命令)で8ビットのデータを読み出す場合を考える。まずこのデータの格納されている場所($A_0 \sim A_1$ で指定されるアドレス)の16ビットのデータをCPUに取り込む。次にアドレス信号の最下位ビット A_0 の値により読み出すデータは上位の8ビットであるか下位の8ビットであるかをCPU等が判断して所望の8ビットデータを読み出す。従ってソフトで16ビットのデータを読み出す場合よりも時間を要する。

次に8ビットのデータ(例えば $D_0 \sim D_7$)をメモリの予め指定されたアドレス(例えば $A_0 \sim A_1$ 番地の下位($A_0 = 1$)8ビットの場所)に格納する場合について第9図を参照して説明する。まずメモリの($A_0 \sim A_1$)番地に格納されている16ビットのデータ($d_0 \sim d_{15}$)を読み出し、第9図(a)のようにこのデータをCPUの適当なレジスタに準備する。次にアドレス信号の最下位ビット A_0 の信号が例えば1であれば第9図(b)及び(d)に示すデータを準備する。次に(a)と(d)のレジスタのビット毎の積をとり(b)を加える演算処理によって(f)に示すデータが得られる。これをメモリに書き込む。格納すべき場所が上位8ビットの場合即ち $A_0 = 0$ の場合には(c)及び(e)に示すデータを準備し前記と同様の処理をすればよい。

【背景技術の問題点】

前述のように16ビット幅の画像メモリに8ビット単位でデータの入出力をソフトで行う場合には時間がかかる。特に8ビットのデータをメモリ

に格納する場合は複雑であり非常に時間がかかる。他方計算機(マイコン)のビット幅は4→8→16→32と移行されている。画像データは膨大であり、ビット幅の広い計算機に移行すると画像メモリのビット幅もこれに合わせた方が有利なことが多く8→16→32ビット幅と広くなる傾向がある。しかし画像データは8ビット(バイト)単位であるのでメモリのビット幅が広くなるとバイト単位でのデータの入出力はより複雑となりデータ処理に多くの時間を要し問題となる。

【発明の目的】

本発明の目的は、前記問題点を解決し、画像メモリのビット幅が増加しても、8ビット単位での画像データの入出力を高速で実行できる画像データ処理装置を提供することである。

【発明の概要】

本発明は、計算機のビット幅と画像メモリのビット幅が互いに等しく且つ 2^{n+1} ビット(16, 32, 64...)である画像データ処理装置に適用される。 2^{n+1} ビットとすることによりアドレス信号の最

下位の n ビットの信号、例えば16ビット幅 ($n=1$) のメモリの場合にはビット A_0 を、また32ビット幅 ($n=2$) のメモリの場合には最下位の2ビット A_1, A_0 を制御信号として利用できる。

本発明は、メモリのリードライト信号、前記のメモリの最下位の n ビットの信号及びデータビット長を指定する信号との3つの制御信号により画像メモリの入出力データを選択的にバイト単位で入出力するインターフェイス回路をつくり、この回路をメモリのデータ入出力端子とデータバスとの間に挿入した画像データ処理装置である。また本発明は、メモリへの8ビット単位でのデータ入出力を従来のプログラミングによるソフト的な方法に変えて、インターフェイス回路によるハードで行い、そのデータ入出力のスピードを高速としたものである。

前記3つの制御信号による前記の機能を有するインターフェイス回路の構成は各種あるが、一般的には画像メモリが 2^{n+1} ビット幅で、インターフェイス回路が2個以上のゲートを有するマルチ

プレクサと2個以上の双方向より読み出し書き込みが可能なレジスタと制御回路とから構成されることが望ましく、特に画像メモリが16ビット幅の場合には、インターフェイス回路は4個のゲートを有するマルチプレクサと、2個の双方向性のレジスタと、制御回路とから構成されることが、望ましい実施態様である。また画像メモリが8ビット単位で書き込みできる 2^{n+1} ビット幅の画像メモリの場合には、インターフェイス回路はレジスタを省略して、2個以上のゲートを有するマルチプレクサとすることができ、特に画像メモリが8ビット単位で書き込みできる16ビット幅のメモリの場合インターフェイス回路はレジスタを持たない4個のゲートを有するマルチプレクサとすることができ。

[発明の実施例]

本発明の実施例を第1図に示す。1は16ビット幅の画像メモリである。画像メモリのデータ入出力端子とデータバス DCH, DCL との間にインターフェイス回路2が挿入される。インタ

ーフェイス回路2は、4個のゲート G_1, G_2, G_3 及び G_4 からなるマルチプレクサ3と、2個のレジスタ REG_1 及び REG_2 と、制御回路とからなっている。第1図の R/W はメモリのリード(読み込み)又はライト(書き込み)信号であり、 A_0 はメモリのアドレスを指定する信号の最下位(LSB)ビットであり、 C_{we} はデータのビット長が16ビット又は8ビットのいずれかを指定する信号である。メモリ入出力バスの DAH, DAL は8ビットのバスであり、その信号はレジスタ REG_1, REG_2 を介して双方向のゲート G_1 ないし G_4 のいずれかを通過して DCH, DCL の信号となる。制御回路は $R/W, A_0$ 及び C_{we} を入力し、レジスタ及びマルチプレクサ3を制御する信号を出力する。レジスタ REG_1, REG_2 はそれぞれ8ビットで構成され、 REG_1 は DAH 及び DBH の両側からリード及びライトが可能である。 REG_2 も REG_1 同様に DAL 及び DBL の両側からリード及びライトが可能である。

第1表は制御信号 $R/W, A_0$ 及び C_{we} の各種の組合せに対応したマルチプレクサの動作を、また第2表は前記制御信号の組合せに対応したレジスタの動作をそれぞれ示す。

第1表

項目	R/W	A_0	C_{we}	マルチプレクサの動作
(1)	0	X	1	$DCL \rightarrow DBL$ $DCH \rightarrow DBH$
(2)	0	0	0	$DCL \rightarrow DBL$ $DCH \rightarrow DBH$
(3)	0	1	0	$DCL \rightarrow DBL$ $DCH \rightarrow DBH$
(4)	1	X	1	$DBL \rightarrow DCL$ $DBH \rightarrow DCH$
(5)	1	0	0	$DBH \rightarrow DCL$ "0" $\rightarrow DCH$
(6)	1	1	0	$DBL \rightarrow DCL$ "0" $\rightarrow DCH$

第 2 表

項目	R/W	A ₀	C ₀	REG入力	REG出力
(1)	0	x	1	DBH→REG1 DBL→REG2	REG1→DAH REG2→DAL
(2)	0	0	0	DBH→REG1 DBL→REG2	REG1→DAH REG2→DAL
(3)	0	1	0	DBH→REG1 DBL→REG2	REG1→DAH REG2→DAL
(4)	1	x	1	DAH→REG1 DAL→REG2	REG1→DBH REG2→DBL
(5)	1	0	0	DAH→REG1 DAL→REG2	REG1→DBH REG2→DBL
(6)	1	1	0	DAH→REG1 DAL→REG2	REG1→DBH REG2→DBL

(注1) DBH→REG1: DBHの信号がREG1にセットされる
DBH→REG1: DBHの信号がREG1にセットされない

第 1 表 及び 第 2 表 を 参照 して インターフェイス

タ (d₀ ~ d₇) は REG 1 に セット される が REG 2 に は 信号 が セット され ず レジスタ の 内容 は 第 2 図 (3) に 示す よう になる。 ライト データ が 下位 8 ビット の 場合 は 同様 に して レジスタ の 内容 は 同図 (3') に 示す よう になる。 この 準備 され た データ を メモリ に 書き 込め ば よい。 第 3 図 に 第 1 図 の 回路 ブロック 図 を 示す。 以上 の 説明 は 上位 8 ビット、下位 8 ビット が 同時 に データ ライト される 装置 の 場合 である。

これ に対し 画像 メモリ が 第 6 図 に 示す よう に 8 ビット 単位 で 書き 込み でき る 場合 に は インターフェイス 回路 の レジスタ を 省略 する こと が でき る。 但し 第 1 表 の 項目 2 及び 項目 3 の マルチプレクサ の 動作 を 次 の 様 に 変更 する。 項目 2 は " 0 " → DBL、DCL → DBH、項目 3 は DCL → DBL、" 0 " → DBH と する。 第 4 図 は 第 6 図 の 回路 の アドレス 信号 の 入力 の 接続 を、第 5 図 は 第 6 図 の 回路 の マルチプレクサ に 入る 制御 信号 を それ ぞれ 示す もの である。 以上 16 ビット 幅 の 画像 メモリ の 実施 例 について の べ た が、メモリの

回路 の 動作 を 説明 する。 項目 (4) は 16 ビット の メモリ 読み 出し であり 第 1 図 で DAH → REG 1 → G 2、DAL → REG 2 → G 3 と 信号 は 通過 する。 項目 (5) は 上位 8 ビット の 読み 出し 動作 となり DAH → REG 1 → G 4、G 1、G 2 は 開 か ず " 0 " が DCH に 出力 される。 項目 (6) は 下位 8 ビット の 読み 出し 動作 で DAL → REG 2 → G 3、G 1、G 2 は 開 か ず " 0 " が DCH に 出力 される。 項目 (1) は 16 ビット の メモリ 書き 込み 動作 で DCL → G 3 → REG 2 → DAL、DCH → G 2 → REG 1 → DAH と なる。 項目 (2) 及び 項目 (3) は 8 ビット の 書き 込み 動作 であり、第 2 図 を 参照 して 説明 する。 (1)、アドレス 信号 A₀ ~ A₇ を 指定 する。 (2)、項目 (4) の モード で メモリ を REG 1、REG 2 へ 読み 出す (D₀ ~ D₇ の 16 ビット の データ)。 (3)、項目 (2) 又は (3) の モード で DCH、DCL より ライト データ を 入力 する。 ライト データ が 上位 8 ビット の 場合 すなわち A₀ = 0 の ときは 項目 (2) の モード で、上位 8 ビット の データ

ビット 幅 が 32 ビット (n = 2)、64 ビット (n = 3) 等 と なっ た 場合 に も 本 発明 は 使用 可能 である。 例 えば 32 ビット 幅 の メモリ の 場合 に は アドレス 信号 の 最下位 の 2 ビット の 信号 即ち A₁、A₀ の 2 本 を 制御 信号 と して 利用 する。 この 場合 インターフェイス 回路 の レジスタ は 例 えば 4 個、マルチプレクサ を 構成 する ゲート の 数は 例 えば 8 個 と すれば よい。

[発明 の 効果]

- (1) パターン 認識 装置、医療 診断 装置 等 に 含まれる 画像 データ 処理 装置 の 取り 扱う 画像 データ は 膨大 であり、第 9 図 に 示す プログラム 処理 では 非常 に 時間 が かかり、プログラム も 長くなる。 この 発明 による 画像 メモリ と マルチプレクサ を 含む インターフェイス 回路 と の ハードウェア によれば 画像 データ の 入出力 スピード は 大幅 に 改善 され、プログラム も 簡単 になり 高速 画像 処理 が 可能 と なる。
- (2) 画像 メモリ の ビット 幅 を 考慮 し ない で 動作 させる こと が でき プログラミング、デバッグ

が簡単になる。

- (3) 画像メモリのビット幅を16, 32, 64と広くすることによりメモリのリードは1回で2, 4, 8画素のデータを読み出すことができそれをインターフェイス回路で分離してデータを用いるのでメモリのリード時間がそれぞれ $1/2$, $1/4$, $1/8$ と高速化できる。又メモリのリード時間よりインターフェイス回路の処理時間が短いのでより高速で画像データの入出力が可能となる。

- (4) パターン認識装置等では第2図の(1), (2)と(3), (4)は同一ステップで実行可能であり2ステップでバイトデータのライト操作を実行でき高速でバイト処理する計算機が得られる。

4. 図面の簡単な説明

第1図は本発明による画像メモリとインターフェイス回路のブロック図、第2図は第1図の回路で8ビット単位のデータ($d_0 \sim d_7$)をメモリに書き込む手順図、第3図、第4図及び第5図は

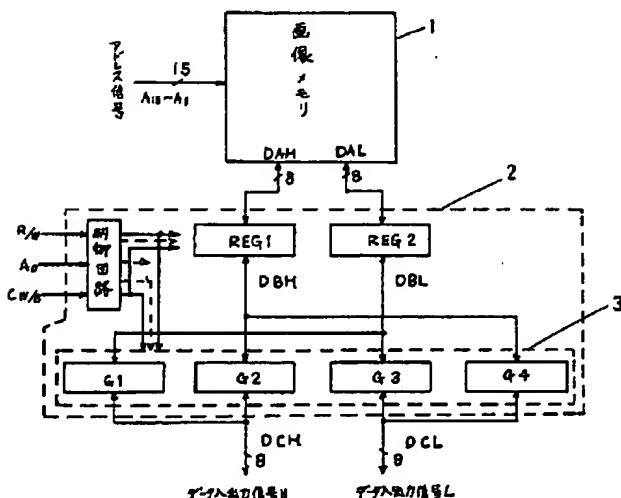
本発明の実施例のブロック図、第6図は8ビット単位で書き込みできるメモリを使用したときの本発明の実施例のブロック図、第7図は16ビット幅の計算機のメモリ番地振り分け図、第8図は第7図のメモリ番地振り分けではアドレス信号のLSB(A_0)はメモリ素子に直接接続されていないことを示す図、第9図は従来のソフト的にバイトデータをメモリに書き込む手順図である。

1…画像メモリ、2…インターフェイス回路、3…マルチプレクサ、R/W…メモリのリードライト信号、 A_0 …メモリのアドレス信号のLSB、 C_{WH} …データビット長を指定する信号、DCH, DCL…データバス(上位8ビット、下位8ビット)、REG1, REG2…レジスタ、G1~G4…ゲート。

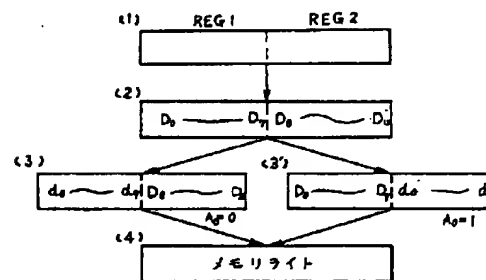
特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二



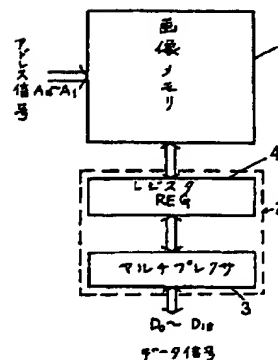
第1図



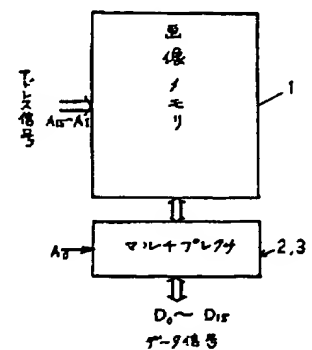
第2図



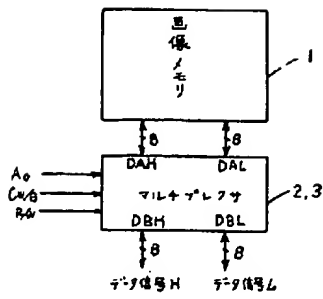
第3図



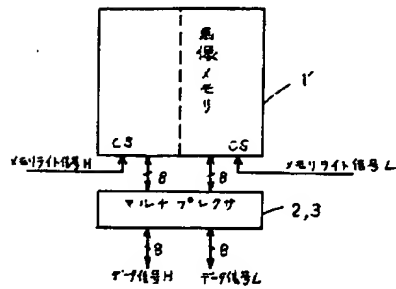
第4図



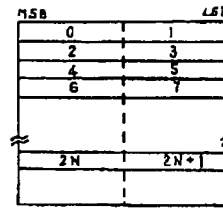
第5図



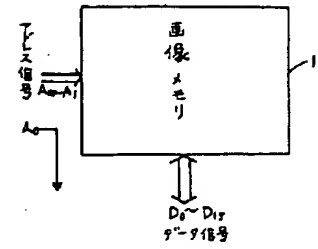
第6図



第7図



第8図



第9図

